



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0043798  
Application Number

출원 년 월 일 : 2003년 06월 30일  
Date of Application JUN 30, 2003

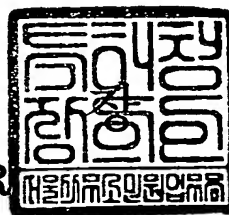
출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 06 일

특 허 청

COMMISSIONER



## 【서지사항】

**【서류명】** 특허출원서  
**【권리구분】** 특허  
**【수신처】** 특허청장  
**【참조번호】** 0064  
**【제출일자】** 2003.06.30  
**【발명의 명칭】** 플래시 소자의 비트라인 형성 방법  
**【발명의 영문명칭】** Method of manufacturing bit line in a flash device  
**【출원인】**  
**【명칭】** ( 주)하이닉스 반도체  
**【출원인코드】** 1-1998-004569-8  
**【대리인】**  
**【성명】** 신영무  
**【대리인코드】** 9-1998-000265-6  
**【포괄위임등록번호】** 1999-003525-1  
**【발명자】**  
**【성명의 국문표기】** 이병석  
**【성명의 영문표기】** LEE, Byung Seok  
**【주민등록번호】** 610325-1691811  
**【우편번호】** 467-807  
**【주소】** 경기도 이천시 창전동 428-12  
**【국적】** KR  
**【심사청구】** 청구  
**【취지】** 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 신영무 (인)  
**【수수료】**  
**【기본출원료】** 19 면 29,000 원  
**【가산출원료】** 0 면 0 원  
**【우선권주장료】** 0 건 0 원  
**【심사청구료】** 5 항 269,000 원  
**【합계】** 298,000 원  
**【첨부서류】** 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 플래시 소자의 비트라인 형성 방법에 관한 것으로, 비트라인 마스크 패턴 형성 전에 비트라인 형성용 금속 하드 마스크 패턴을 형성하여 비트라인 패턴 사이의 층간 절연막의 손실을 줄일 수 있고, 금속막 형성전의 세정공정 조건을 조절하여 비트라인간의 간격이 줄어들음을 방지할 수 있으며, 비트라인 형성을 위한 평탄화 공정시 금속 하드 마스크막을 함께 제거함으로써, 별도의 추가 제거 공정을 실시하지 않을 수 있는 플래시 소자의 비트라인 형성 방법을 제공한다.

**【대표도】**

도 5

**【색인어】**

비트라인, 금속 하드 마스크막, 세정공정

## 【명세서】

## 【발명의 명칭】

플래시 소자의 비트라인 형성 방법{Method of manufacturing bit line in a flash device}

## 【도면의 간단한 설명】

도 1은 종래 플래시 소자의 비트라인 간의 패턴 사이즈 감소에 의한 문제를 설명하기 위한 단면도이다.

도 2는 종래의 플래시 소자의 비트라인 형성 방법상의 문제점을 설명하기 위한 레이아웃도이다.

도 3a 내지 도 3c는 도 2의 II-II'라인 선상의 단면도들이다.

도 4는 본 발명에 따른 플래시 소자의 비트라인의 레이아웃도이다.

도 5a 내지 도 5d는 본 발명에 따른 플래시 소자의 비트라인 형성 방법을 설명하기 위한 도 4의 V-V'선상의 단면도들이다.

## &lt;도면의 주요 부분에 대한 부호의 설명&gt;

10, 110 : 반도체 기판    12, 112 : 비트라인 콘택 플러그

14, 116 : 베리어막    16, 114, 118 : 층간 절연막

18, 122 : 감광막 패턴    20, 124 : 비트라인용 트렌치

30, 130 : 비트라인    120 : 금속 하드 마스크막

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <11> 본 발명은 플래시 소자의 비트라인 형성 방법에 관한 것으로, 특히 비트라인간의 간격을 충분히 유지하여 크로스토크(Crosstalk) 현상을 줄일 수 있는 플래시 소자의 비트라인 형성 방법에 관한 것이다.
- <12> 100나노급 이하의 플래시 소자에서는 하부 소자의 패턴 사이즈가 감소하게 되고, 이로 인해 비트라인의 패턴 사이의 스페이스(Space) 또한 점점 줄어들게 되어 커플링 커패시터에 의한 RC 딜레이(Delay) 문제가 심각하게 대두되고 있다.
- <13> 도 1은 종래 플래시 소자의 비트라인 간의 패턴 사이즈 감소에 의한 문제를 설명하기 위한 단면도이다.
- <14> 도 1을 참조하면, A 비트라인과 인접한 커플링 캡을 일으킬 수 있는 금속막은 먼저, 하부의 워드라인(W/L)과, 인접한 비트라인들(B 및 C)과, 상부의 금속배선(M2)등이 있다. 워드라인(W/L)과 A 비트라인은 제 1 층간 절연막에 의해 분리되어 있지만 이들 사이에서 제 1 인터 커패시턴스(C01)가 존재하게 된다. 또한, A 비트라인과 인접한 비트라인들(B 및 C) 간에도 제 2 층간 절연막에 의해 전기적으로 분리되어 있지만, 이들 사이에도 제 2 인터 커패시턴스(C11)가 존재하게 된다. 또한 A 비트라인과 상부의 금속 배선간(M2)도 제 3 층간 절연막에 의해 전기적으로 분리되어 있지만, 이들 사이에도 제 3 인터 커패시턴스(C12)가 존재한다.

- <15> 이러한 커플링 캡을 사쿠라이 모델(SAKURAI Model)에 의해 A 비트라인에 연계된 커플링 캡을 계산하면 다음과 같다. 먼저, 위드라인(WL)과 비트라인(B/L)간의 간격을 'D'로, 비트라인의 높이를 'T'로, 비트라인의 두께를 'W'로, 인접한 비트라인들 간의 간격을 'S'로, 비트라인과 상부 금속배선간의 간격을 'H'로하고, 제 1 인터 커패시턴스를 'C01'로, 제 2 인터 커패시턴스를 'C11'로, 제 3 인터 커패시턴스를 'C12'로하여 설명한다.
- <16> 사쿠라이 모델에 의해 제 1 내지 제 3 인터 커패시턴스는 다음과 같다.
- <17> 
$$C01/\epsilon_{ox}=1.15 \times (W/D)+2.80(T/D) \times 0.222-0.07(T/D) \times 0.222 \times (S/D) \times 1.34$$
- <18> 
$$C11/\epsilon_{ox}=(0.03 \times (W/D)+0.83(T/D)) \times (S/D)-1.34$$
- <19> 
$$C12/\epsilon_{ox}=1.15 \times (W/H)+2.80(T/D) \times 0.222-0.07(T/D) \times 0.222 \times (S/H) \times 1.34$$
- <20> 제 1 내지 제 3 인터 커패시턴스에 의한 비트라인에 발생할 수 있는 전체 커패시턴스, C는  $C01 + 2C11 + C12$  가된다.
- <21> 앞의 수식에서 보는 바와 같이 커플링 캡은 비트라인 패턴의 두께(W)와 인접한 비트라인들 간의 간격(S)이 중요한 요소임을 알 수 있다. 즉, 비트라인 캡을 줄이기 위해서는 비트라인 두께(W)는 감소시키고 인접한 비트라인간의 간격(S)은 넓히는 것이 유리하다. 하지만, 비트라인의 두께(W)와 비트라인간의 간격(S)을 너무 줄이면 비트라인의 저항이 증가하는 문제가 발생하기 때문에 두가지 요소를 고려하여 최적의 조건을 찾아야 하는 것이 당연하다. 하지만, 상술한 수식과 시뮬레이션을 실시하여 최적의 조건을 찾았더라도 비트라인 형성 공정상에서 문제가 발생하여 이를 적용하기 어려운 문제점이 있다.

- <22> 도 2는 종래의 플래시 소자의 비트라인 형성 방법상의 문제점을 설명하기 위한 레이아웃도이다.
- <23> 도 2를 참조하면, 비트라인(BL)은 하부의 워드라인(W/L)과 수직한 방향으로 형성된다. 이때 점선은 목표로 하는 비트라인 패턴이고, 실선은 종래의 공정의해 형성된 비트라인 패턴이다. 도 2에서 보는 바와 같이 목표로 하는 비트라인간의 간격은 S10 이지만, 종래의 공정을 통해 형성되는 비트라인간의 간격은 S20이 된다. 즉 목표로 하는 비트라인들 간의 간격(S10)에 비해 형성되는 비트라인들 간의 간격(S20)이 작아지게 된다. 따라서, 앞의 수식에 의해 C11이 커지게 되고, 이로 인해 비트라인(B/L)의 전체 커패시터가 증가하여 RC 딜레이에 의한 문제가 심각해지게 된다.
- <24> 도 3a 내지 도 3c는 도 2의 II-II'라인 선상의 단면도들이다.
- <25> 도 3a 내지 도 3c를 참조하면, 하부에 워드라인(미도시) 및 비트라인 콘택 플러그(12)가 형성된 반도체 기판(10) 상에 배리어막(14), 층간 절연막(16)을 순차적으로 형성한다. 감광막 패턴(18)을 이용하여 층간 절연막(16)과 배리어막(14)을 식각하여 비트라인용 트렌치(20)를 형성한다. 비트라인용 트렌치(20)를 금속으로 매립한 다음 화학 기계적 연마 공정을 이용한 평탄화 공정을 실시하여 비트라인(30)을 형성한다. 비트라인용 트렌치(20) 형성을 위한 식각공정시 감광막 패턴(18)의 일부도 함께 식각되어 목표로 하는 비트라인(20)간의 간격(S10)을 유지하기 어려운 문제가 발생한다. 또한, 금속 매립전의 전처리 세정공정시에도 층간 절연막(16)의 일부가 함께 식각되어 비트라인(20)간의 간격(S10)을 더욱 줄이게 되는 문제가 발생한다. 도 3b의 점선은 목표로 하는 비트라인용 트렌치 형상이고, 실선은 실제 식각공정 후 형성되는 비트라인용 트렌치 형상이다. 이로 인해 비트라인간의 간격(S10 과 S20의 차이)을 목표로 하는 임계치수에 맞도록 설정함에 있어서 많은 문제가 발생한다. 일반적으로 비트라인용 트렌치(20)

형성을 위한 식각공정시 층간 절연막(16)의 손실은 약 25nm정도가 발생하고, 금속매립전의 전처리 세정공정시 층간 절연막(16)의 손실은 약 30nm정도가 발생하게 된다.

**【발명이 이루고자 하는 기술적 과제】**

<26> 따라서, 본 발명은 상기의 문제점을 해결하기 위하여 비트라인 마스크 패턴 형성 전에 비트라인 하드 마스크 패턴을 형성하여 비트라인 패턴 사이의 층간 절연막의 손실을 줄일 수 있고, 금속막 형성전의 세정공정 조건을 조절하여 비트라인간의 간격이 줄어들음을 방지할 수 있는 플래시 소자의 비트라인 형성 방법을 제공한다.

**【발명의 구성 및 작용】**

<27> 본 발명에 따른 비트라인 콘택 플러그가 형성된 반도체 기판상에 베리어막, 층간 절연막 및 금속 하드 마스크막을 순차적으로 형성하는 단계와, 상기 금속 하드 마스크막을 패터닝하여 상기 비트라인 콘택 플러그와 대응되는 비트라인이 영역을 개방하는 금속 하드 마스크막 패턴을 형성하는 단계와, 상기 금속 하드 마스크막 패턴을 식각마스크로 하는 식각공정을 통해 층간 절연막 및 베리어막을 식각하여 비트라인용 트렌치를 형성하는 단계와, 상기 비트라인용 트렌치가 매립되도록 비트라인용 금속막을 형성하는 단계 및 평탄화 공정을 실시하여 상기 층간 절연막 상의 상기 비트라인용 금속막 및 상기 금속 하드 마스크막 패턴을 제거하는 단계를 포함하는 플래시 소자의 비트라인 형성 방법을 제공한다.

<28> 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 더욱 상세히 설명하기로 한다. 그러나 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구



현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 도면상에서 동일 부호는 동일한 요소를 지칭한다.

<29> 도 4는 본 발명에 따른 플래시 소자의 비트라인의 레이아웃도이다.

<30> 도 4를 참조하면, 하부의 워드라인(W/L), DSL, SSL 및 비트라인 콘택 플러그(112)가 형성된 반도체 기판 상에 비트라인 패터닝 공정을 실시하여 비트라인(B/L) 패턴을 형성한다. 본 발명의 비트라인(B/L)은 하드 마스크막과 세정공정의 공정 조건을 조절하여 목표로 하는 비트라인간의 간격을 유지할 수 있게 된다. 이하, 100 나노급 이하의 낸드 플래시 소자의 제조 공정을 일예로 하여 설명하도록 한다. 비트라인(B/L)의 두께는 약 2500Å이고, 비트라인(B/L) 피치(Pitch)가 약 270nm가 되도록 하는 것이 바람직하다.

<31> 도 5a 내지 도 5d는 본 발명에 따른 플래시 소자의 비트라인 형성 방법을 설명하기 위한 도 4의 V-V'선상의 단면도들이다.

<32> 도 5a를 참조하면, 트랜지스터나 커패시터와 같은 반도체 소자를 포함하여 여러 요소가 형성된 반도체 기판(110) 상에 제 1 층간 절연막(114)을 패터닝 하여 비트라인 콘택 플러그(112)를 형성한다. 비트라인용 콘택 플러그(112)가 형성된 반도체 기판(110)상에 배리어막(116), 제 2 층간 절연막(118) 및 금속 하드 마스크막(120)을 형성한다.

<33> DSL, SSL 및 셀 스트링(워드라인; W/L) 간의 고립을 위해 전체 구조상에 제 1 층간 절연막(114)을 형성한 다음, 제 1 층간 절연막(114)을 패터닝 하여 DSL 트랜지스터의 접합부를 개

방하는 콘택홀(미도시)을 형성한다. 상기 콘택홀을 금속물질을 이용하여 매립하여 비트라인용 콘택 플러그(112)를 형성하는 것이 바람직하다.

<34> 제 1 층간 절연막(114) 상에 하부 구조물을 보호하고, 후속 비트라인용 트렌치 형성을 위한 식각공정시 식각방지 역할을 하기 위한 배리어막(116)을 형성한다. 배리어막(116)은 제 1 및 제 2 층간 절연막(114 및 118)과의 식각선택비차가 큰 물질막을 이용하여 형성하는 것이 바람직하다. 제 2 층간 절연막(118)은 비트라인 패턴이 형성될 물질막으로써, 저유전율의 물질막을 이용하여 형성하는 것이 바람직하다. 제 1 및 제 2 층간 절연막(114 및 118)으로는 BPSG(Boron Phosphorus Silicate Glass)계열의 산화막, PSG(Phosphorus Silicate Glass)계열의 산화막, FSG(Fluorinated Silicate Glass) 계열의 산화막, PE-TEOS(Tetra Ethyle Ortho Silicate)계열의 산화막, PE-SiH<sub>4</sub>(Plasma Enhanced SiH<sub>4</sub>) 계열의 산화막, HDP(High Density Plasma) USG(Undoped Silicate Glass) 계열의 산화막, HDP PSG 계열의 산화막 및 APL(Advanced Planarization Layer) 계열의 산화막중 적어도 어느 하나의 물질막을 사용하여 형성하는 것이 바람직하다. 제 1 및 제 2 층간 절연막(114 및 118)으로 상술한 물질막을 사용할 경우, 배리어막(116)은 플라즈마 인헨스트 계열의 질화막(PE Nitride) 및/또는 옥시나이트라이드막(Oxynitride)을 사용하는 것이 바람직하다. 앞서 설명한 식각선택비는 서로 다른 제 1 및 제 2 물질막이 일정한 식각조건하에서 식각을 실시할 경우 그 식각되는 비율이 다름을 지칭한다. 예를 들어 산화막과 질화막이 소정의 식각가스에 노출되었을 경우 산화막은 초당 10Å이 식각되고, 질화막은 1Å이 식각됨을 식각선택비(식각시 제거되는 비율)의 차라고 지칭한다. 일정조건하에서 산화막은 식각이 잘되고 질화막은 식각이 안됨을 지칭한다.

<35> 금속 하드 마스크막(120)은 후속 비트라인용 트렌치를 매립한 후 화학 기계적 연마공정을 이용한 평탄화 공정시 제 2 층간 절연막(118)상의 금속 하드 마스크막(120)의 제거를 용이

하게 하기 위해 비트라인을 구성하는 금속막과 동일한 물질막을 사용하는 것이 바람직하다. 금속 하드 마스크막(120)은 제 2 층간 절연막(118)에 대한 식각선택비 차가 큰 금속 물질막을 사용하는 것이 바람직하다. 이로써, 후속 비트라인용 트렌치 형성을 위한 식각공정과, 그후의 세정 공정시 비트라인의 임계치수가 넓어지는 현상을 방지할 수 있다. 본 실시예에서는 금속 하드 마스크막(120)으로 텅스텐(W)막을 사용하는 것이 바람직하다. 텅스텐 박막 두께는 후속 산화막 식각시 충분한 식각 베리어로 견딜 수 있도록 500 내지 1000Å 정도를 사용하는 것이 바람직하다.

<36> 도 5b 및 도 5c를 참조하면, 금속 하드 마스크막(120), 제 2 층간 절연막(118) 및 배리어막(116)을 패터닝 하여 비트라인용 트렌치(124)를 형성한다. 이때 하부의 제 1 층간 절연막(114)의 일부도 식각하여 하부 비트라인 콘택 플러그(112)와의 전기적 접촉을 강화 할 수 있다.

<37> 전체 구조상에 감광막을 도포한 다음 비트라인 마스크를 이용한 사진 식각공정을 실시하여 비트라인이 형성될 영역을 개방하는 감광막 패턴(122)을 형성한다. 감광막 패턴(122)을 식각마스크로 하는 식각공정을 실시하여 금속 하드 마스크막(120)을 식각하여 금속 하드 마스크막 패턴을 형성하는 것이 바람직하다. 그후, 감광막 패턴을 제거하여 후속 공정을 진행할 수 있다. 금속 하드 마스크막(120)은 목표로 하는 비트라인 패턴과 동일한 형상이 되도록 형성한다. 금속 하드 마스크막(120) 패턴은 비트라인 영역의 제 2 층간 절연막(118)만을 개방하고, 비트라인간의 영역에는 금속 하드 마스크막(120)이 잔류되도록 한다. 금속 하드 마스크막(120) 패턴의 잔류되는 폭은 도 4에서의 S110이 되도록 하는 것이 바람직하다. 텅스텐을 이용한 금속 하드마스크막(120)의 식각은 SF<sub>6</sub> 가스를 포함하는 식각을 실시하는 것이 바람직하다.

- <38> 금속 하드 마스크막(120)을 식각마스크로 하는 식각공정을 실시하여 제 2 층간 절연막(118)을 식각한다. 노출된 배리어막(116)을 식각하고, 제 1 층간 절연막(116)의 일부를 식각하여 비트라인용 트렌치(124)를 형성하는 것이 바람직하다. 뿐만아니라, 산화막과 질화막간의 식각선택비 차가 없는 식각조건과, 금속 하드 마스크막(120)을 식각마스크로 하는 식각공정을 실시하여 제 2 층간 절연막(118) 및 배리어막(116)을 식각하고, 과도식각을 실시하여 제 1 층간 절연막(114)의 일부를 식각하여 비트라인용 트렌치(124)를 형성할 수 있다.
- <39> 도 5d를 참조하면, 세정공정을 실시하여 비트라인용 트렌치(124)내부를 세정한 다음 비트라인용 트렌치(124)가 매립되도록 비트라인용 금속막(미도시)을 증착한다. 화학 기계적 연마공정을 실시하여 제 2 층간 절연막(118) 상의 비트라인용 금속막과 금속 하드마스크막(120)을 제거하여 비트라인(130)을 형성한다. 이때, 비트라인들 간의 전기적 고립을 실시하기 위해 과도 평탄화를 실시할 수도 있다.
- <40> 세정공정은 플라즈마를 이용한 건식 세정공정 또는 고주파 스퍼터링에 의한 세정공정을 실시하는 것이 바람직하다. 만일 습식 세정공정을 실시할 경우 세정공정의 세정용액에 의해 금속 하드 마스크막(120) 하부의 제 2 층간 절연막(118)의 손실이 발생할 수 있기 때문이다. 따라서, 플라즈마를 이용한 건식 세정공정 또는 고주파 스퍼터링에 의한 세정공정을 실시하게 되면, 금속 하드 마스크막(120)은 식각방지막 역할을 하여 하부의 제 2 층간 절연막(118)이 식각되는 현상을 방지하여 비트라인(130) 패턴의 임계치수가 넓어지는 현상(비트라인들 간의 임계치수는 작아짐)을 방지할 수 있다. 건식세정은 마이크로 웨이브를 사용하여 플라즈마를 턴온하는 장치를 사용하며,  $CF_4$ 와  $O_2$  혼합 가스 및  $NF_3$ 가스를 사용하여 고압력과 저 전압하에서 실시하는 것이 바람직하다. 고주파 스퍼터링은 금속막 증착전에 고주파를 이용한 식각을 실시하는

것을 지칭하며, Ar가스를 이용하여 높은 고주파 바이어스를 이용하여 스퍼터링 하는 것이 바람직하다.

<41> 비트라인용 금속막은 텅스텐, 알루미늄 및 구리중 적어도 어느 하나의 막을 사용하여 형성할 수 있다. 본 실시예에서는 텅스텐을 이용하여 형성하는 것이 바람직하다.

<42> 평탄화 공정은 제 2 층간 절연막(118)상에 형성된 금속막들을 제거하는 것을 타겟으로 실시하는 것이 바람직하다. 본 실시예의 화학 기계적 연마 공정만을 실시하여 비트라인(130) 패턴 형성시 제 2 층간 절연막(118) 상의 금속 하드 마스크막(120) 또한 함께 제거할 수 있다. 이는, 비트라인용 금속막과 금속 하드 마스크막(120)을 동일한 물질막을 사용하기 때문에, 금속 하드 마스크막(120)을 제거하기 위한 별도의 추가 공정이 필요 없게 된다.

<43> 이와 같이 종래의 비트라인 형성공정 시 발생하였던 비트라인들 간의 임계치수가 작아지는 현상을 충분히 방지할 수 있게 된다. 따라서 본 발명의 형성 공정에 따라 형성된 비트라인은 도 1에서 목표로 하였던 비트라인의 두께(W)와 인접한 비트라인간의 간격(S)을 유지할 수 있다.

#### 【발명의 효과】

<44> 상술한 바와 같이, 본 발명은 비트라인 마스크 패턴 형성 전에 비트라인 형성용 금속 하드 마스크 패턴을 형성하여 비트라인 패턴 사이의 층간 절연막의 손실을 줄일 수 있다.

<45> 또한, 금속막 형성전의 세정공정 조건을 조절하여 비트라인간의 간격이 줄어들을 방지할 수 있다.

<46> 또한, 비트라인 형성을 위한 평탄화 공정시 금속 하드 마스크막을 함께 제거함으로써, 별도의 추가 제거 공정을 실시하지 않을 수 있다.

**【특허청구범위】****【청구항 1】**

비트라인 콘택 플러그가 형성된 반도체 기판상에 베리어막, 층간 절연막 및 금속 하드 마스크막을 순차적으로 형성하는 단계;

상기 금속 하드 마스크막을 패터닝하여 상기 비트라인 콘택 플러그와 대응되는 비트라인이 영역을 개방하는 금속 하드 마스크막 패턴을 형성하는 단계;

상기 금속 하드 마스크막 패턴을 식각마스크로 하는 식각공정을 통해 층간 절연막 및 베리어막을 식각하여 비트라인용 트렌치를 형성하는 단계;

상기 비트라인용 트렌치가 매립되도록 비트라인용 금속막을 형성하는 단계; 및

평탄화 공정을 실시하여 상기 층간 절연막 상의 상기 비트라인용 금속막 및 상기 금속 하드 마스크막 패턴을 제거하는 단계를 포함하는 플래시 소자의 비트라인 형성 방법.

**【청구항 2】**

제 1 항에 있어서, 상기 비트라인용 트렌치를 형성하는 단계후와, 상기 비트라인용 금속막을 형성하는 단계전에,

플라즈마를 이용한 건식 세정공정 또는 고주파 스퍼터링에 의한 세정공정을 실시하여 상기 비트라인용 트렌치 내부를 세정하는 단계를 더 포함하는 플래시 소자의 비트라인 형성 방법.

**【청구항 3】**

제 2 항에 있어서,

상기 건식 세정공정은  $\text{CF}_4$ 와  $\text{O}_2$  혼합 가스 및  $\text{NF}_3$ 가스를 이용하여 실시하고, 상기 고주파 스퍼터링에 의한 세정공정은 Ar가스를 이용하여 실시하는 플래시 소자의 비트라인 형성 방법.

**【청구항 4】**

제 1 항에 있어서,

상기 금속 하드 마스크막과 상기 비트라인용 금속막은 동일한 금속물질을 사용하여 형성하는 플래시 소자의 비트라인 형성 방법.

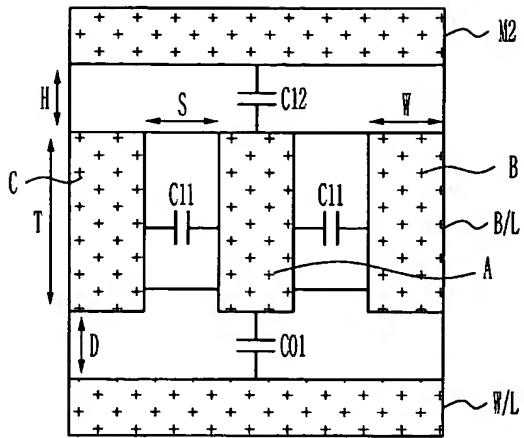
**【청구항 5】**

상기 금속 하드 마스크막은 텅스텐을 이용하여 형성하되, 후속 상기 층간 절연막 식각시 충분한 식각 베리어로 견딜 수 있도록 500 내지 1000Å 두께로 형성하는 플래시 소자의 비트라인 형성 방법.

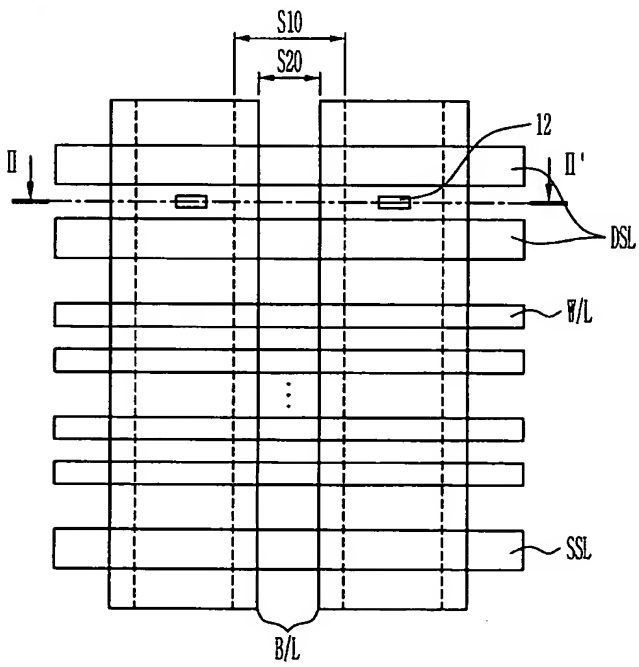


【도면】

【도 1】



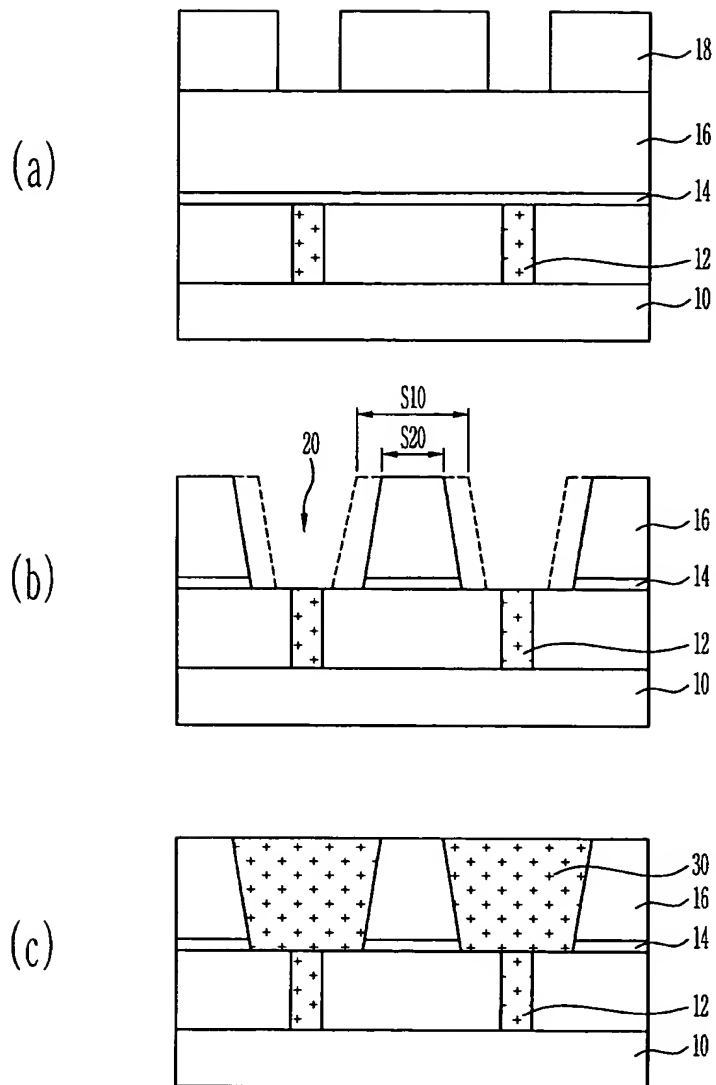
【도 2】



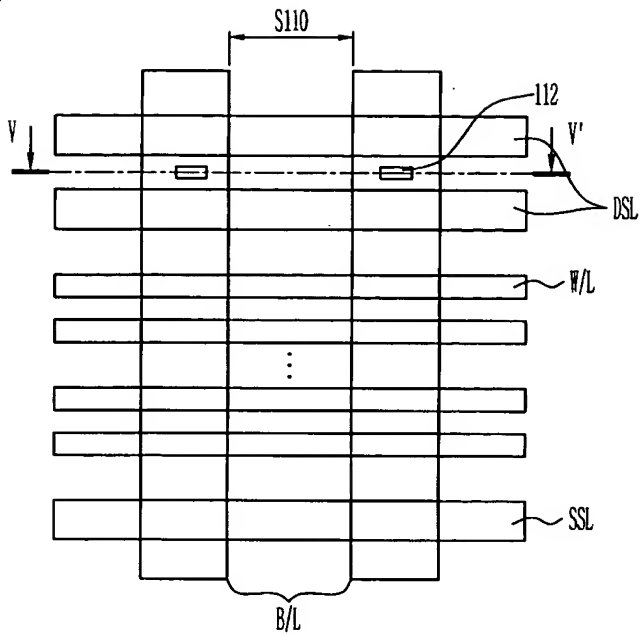




【도 3】



【도 4】



【도 5】

